

---- 論文等一覧 ----

[国際発表]

1. “CMOS Gaussian Monocycle Pulse Transceiver for Radar-Based Microwave Imaging,” T. Kikkawa, M. Sugawara, et. al., IEEE Trans on Biomedical Circuits and Systems, Vol. 14, No. 6, 2020.
2. “Shifting Clock Jitter and Phase Interval for Impulse-Radar-Based Breast Cancer Detection,” A. Toya, M. Sugawara, et. al., IEEE Biomedical Circuits and Systems Conference, 2019.
3. ”サブミクロンスライス構造を用いたアナログデジタル混載回路の設計手法の研究” ,” A Study of Design Methodology for Mixed-Signal Circuits Using Sub-Micron Slice Structures” ,菅原光俊, 東京工業大学博士論文, 2019
4. “Gaussian Monocycle Pulse Generator with Calibration Circuit for Breast Cancer Detection,” Y. Masui, M. Sugawara, et. al., IEEE Biomedical Circuits and Systems Conference, pp. 57-60, 2018.
5. “CMOS LSI for Breast Cancer Detection,” , International Symposium on Biomedical Engineering(生体医歯工学共同研究拠点国際シンポジウム), T. Imamura, M. Sugawara, et. al., 2018.
6. “Differential Equivalent Time Sampling Receiver for Breast Cancer Detection,” Y. Masui, M. Sugawara, et.al., IEEE Biomedical Circuits and Systems Conference, 2017.
7. “Investigation of Phase Noise and Jitter in CMOS Sampling Clock Generation Circuits for Time-Domain Breast Cancer Detection System,” A. Toya, M. Sugawara, et. al., IEEE Biomedical Circuits and Systems Conference, 2017.
8. “Physical-Weight-Based Measurement Methodology Suppressing Noise or Reducing Test Time for High-Resolution Low-Speed ADCs,” M. Sugawara, et. al., IEICE Trans., Electron., Vol. E100C, No. 6, 2017
9. “Synthesis and Automatic Layout of Resistive Digital-to-Analog Converter Based on Mixed-Signal Slice Cell,” M. Sugawara, et. al., IEICE Trans. Fundamentals, Vol. E99-A, No. 12, pp. 2435-2443, 2016
10. “A 3.6 GHz Low-Noise Fractional-N Digital PLL Using SAR-ADC-Based TDC” Z. Xu, M. Sugawara et. al., IEEE JSSC, VOL. 51, NO. 10, 2016
11. “A Varactor-Less and Dither-Less LC-Digitally Controlled Oscillator with 9-bit Fine Bank, 0.26 mm² Area, and 6.7 kHz Frequency Resolution,” SSDM2014 sponsored by IEEE, M-8-3 Sep 2014, Z. Xu, M. Sugawara et. al.

12. "A 0.8 ps-LSB, 10bit, 0.0018mm² Time-to-Digital Converter," SSDM2014 sponsored by IEEE, M-3-2 Sep 2014, Z. Xu, M. Sugawara et. al.
13. "Differential Equivalent Time Sampling Receiver for Breast Cancer Detection", Y. Masui, M. Sugawara, BIOCAS 2017(Poster) paper ID 7118
14. "Investigation of Phase Noise and Jitter in CMOS Sampling Clock Generation Circuits for Time-Domain Breast Cancer Detection System", A. Toya, M. Sugawara, et. al., BIOCAS 2017(Poster) paper ID 7274
15. "A 12b 50/70 MS/s 2.2/4.6 mW 0.03mm² CMOS SAR ADC for a frequency, performance, and power scalable ADC", S. Lee, et. al., SSDM 2013
16. "12Gb/s Duobinary Signaling with x2 Oversampled Edge Equalization", 半導体のオリンピックといわれる ISSCC2005 sponsored by IEEE, 3.6, Feb 2005, K. Ymaguchi, M. Sugawara et. al.
17. "3GHz 5000ppm Spread Spectrum SerDes PHY with Frequency Tracking Phase Interpolator for Serial ATA", Symposium on VLSI Circuit 2003 sponsored by IEEE, 1-7, M. Aoyama, M. Sugawara et. al.
18. "1.5GHz 5150ppm Spread Spectrum Serdes PHY with a 0.3mW, 1.5Gbps Level Detector for Serial ATA", Symposium on VLSI Circuit 2002 sponsored by IEEE, 5-3, M. Sugawara et. al.
19. "A 700Mbps BiCMOS Read Channel Integrated Circuit", 半導体のオリンピックといわれる ISSCC2001 sponsored by IEEE, MP12.3, Feb 2001, T. Pan, M. Sugawara et. al.
20. "A Trellis-Coded EPRML Digital Read/Write Channel IC", 半導体のオリンピックといわれる ISSCC99 sponsored by IEEE, MP2.2, Feb 1999, J. Chern, M. Sugawara et. al.
21. "An EPRML Digital Read/Write Channel IC", 半導体のオリンピックといわれる ISSCC97 sponsored by IEEE, SA19.4, pp320-321, Feb 1997, S. Shih, M. Sugawara et. al.
22. "A Frontend LSI for 18b A/D Converter", 半導体のオリンピックといわれる ISSCC88 sponsored by IEEE, K. Matsumoto, M. Sugawara et.al.
23. "TV Synchronous Generator With Analog CMOS Technique", ICCE86 THAM10.6 sponsored by IEEE, pp150-151, Jun 1986, H. Tateishi, M. Sugawara et. al.
24. "A 700MHz monolithic phased-locked demodulator", 半導体のオリンピックといわれる ISSCC1985 sponsored by IEEE, K. Matsumoto, M. Sugawara et. al., pp.22-23

[国内発表]

25. "再利用を可能にするアナログ合成のアレー座標生成方法," 盛, 菅原他, 電子情報通信学会集積回路技術リテラシー研究会 2017年10月

26. “自動設計に適したレイアウト・ドリブンによるミックスドシグナル LSI 設計手法の GHz PLL 等への適用拡大,” “Expansion of Proposed Layout-Driven Mixed Signal Design Methodology to GHz PLL,” M. Sugawara et. al., 電気学会電子回路研究会, ECT-15-030, 2015.
27. “新規高効率高周波電力出力回路の提案,” “A Proposal of novel RF power output circuit,” M. Sugawara et. al., 電子情報通信学会アナログ RF 研究会, 2015
28. “ほぼ名刺半分サイズの 24bit オーディオ/高精度 ADC, DAC 測定ユニットの開発,” 菅原他, 電気学会電子回路研究会, ECT-14-101, 2014 年
29. “ノイズを圧縮し, AD コンバータや DA コンバータの測定時間を 1/8 にする方法の開発”, LSI とシステムのワークショップ 2014 年 5 月 電子情報通信学会集積回路研究会 菅原他
30. “SKILL 言語を用いたソフトウェアアナログの開発”, LSI とシステムのワークショップ 2014 年 5 月 電子情報通信学会集積回路研究会 盛, 菅原他
31. “MATLAB 言語を用いた回路シミュレータの開発”, LSI とシステムのワークショップ 2014 年 5 月 電子情報通信学会集積回路研究会 盛, 菅原他
32. “Novel Design Method for ~GHz DAC & Automated Design Program”, 電気学会電子回路研究会 2014 年 3 月 ECT-14-039 菅原他
33. “Novel Measuring-Noise-Suppression and Measurement-Time-Reduction Methodology for ADC/DAC”, 電子情報通信学会シリコンアナログ RF 研究会 2014 年 2 月 菅原他
34. “Proposal of layout-driven 1/2.8 size DAC design methodology”, 電子情報通信学会シリコンアナログ RF 研究会 2013 年 11 月 菅原他
35. “スケラブル 12bit SAR ADC の開発”, 電子情報通信学会シリコンアナログ RF 研究会 2013 年 11 月 河原口, 菅原他
36. “A proposal of “2R-R+ segment DAC” architecture and its design methodology”, 電子情報通信学会シリコンアナログ RF 研究会 2013 年 8 月 菅原他
37. “9 ビット RDAC の自動合成”, 電子情報通信学会シリコンアナログ RF 研究会 2013 年 8 月 盛, 菅原他
38. “アナログ設計における人手レイアウト設計から自動レイアウト設計への変換方法”, LSI とシステムのワークショップ 2013 年 5 月 電子情報通信学会集積回路研究会 盛, 菅原他
39. “DUT ボード上で高速高精度ミックスド・シグナル測定を可能にするほぼ名刺半分の計測ユニットの開発”, 電気学会電子回路研究会 2013 年 3 月 ECT-13-037 菅原他
40. “400 個の容量 TEG マトリクスによる, CBCM 法を使い, 0.1fF 分解能, 浮遊容量を分離した, 容量測定”, 電気学会電子回路研究会 2013 年 3 月 ECT-13-038 菅原他

41. “ドリブンシールドを用いてモデルパラメータ抽出用にマトリックス状にトランジスタを配置した直流 TEG”，電気学会電子回路研究会 2013 年 3 月 ECT-13-039 盛,菅原他
42. “モデルパラメータ抽出用トランジスタ T E G”，電子情報通信学会シリコンアナログ RF 研究会 2013 年 3 月 盛,菅原他
43. “12Gb/s Duobinary Signaling with x2 Oversampled Edge Equalization”，電子情報通信学会 ICD 研究会 2005 年 5 月, 山口,菅原他
44. “3Gbps, 5000pppm Spread Spectrum SerDes PHY with Frequency tracking Phase Interpolator for Serial ATA”，電子情報通信学会 共同研究会 2003 年 8 月, 青山,菅原他.
45. “CMOS 超低歪率 16bitD-A コンバータ”，電子通信学会研究会 ICD87-54, pp19-23, 1987, 5 菅原他
46. “CMOS アナログ技術による TV 受像機用プログラマブル同期コントローラ IC の開発” 電子通信学会 SSD86-45, 1986 年 菅原他
47. “カラーTV 用 低電力 高性能 ワンチップ IF システム・リニア IC の開発”，電子通信学会研究会 SSD83-5, pp31-36, 1983 年 菅原他
48. “A Frontend LSI for 18b Oversampling A/D Converter”，電子通信学会研究会 IC83-4, 菅原他
49. “低電圧動作の FM ステレオ・マルチプレックス復調回路”，昭和 49 年電子通信学会総合全国大会, No. 458, pp2-221, No. 509, pp512, 1974 年 菅原他
50. “高速 CMOS 8 ビット A/D コンバータの開発”，昭和 60 年電子通信学会半導体・材料部門全国大会, No. 169, pp2-105, 1985 年 菅原他
51. “高周波 900MHz AGC IC”，昭和 60 年電子通信学会半導体・材料部門全国大会, No. 160, pp2-96, 1985 年 菅原他
52. “耐ノイズ特性が良好でパルス幅変動の少ない赤外リモコンプリアンプの開発”，昭和 59 年電子通信学会総合全国大会, No. 458, pp2-221, 1984 年 菅原他
53. “液晶 TV 用信号処理 IC の開発”，テレビジョン学会技術報告, TEBS97-1, pp1-6, 1984 年 6 月 菅原他
54. “擬似同期検波回路の直線性に対する考察”，昭和 49 年電子通信学会総合全国大会, No. 503, pp506, 1974 年 菅原他
55. “ペロブスカイト系強誘電体の電気損失に関する考察”，1972 年 3 月東京工業大学 菅原

[NEC 技報等]

56. “Serial ATA”，NEC 技報 1 Vol.156 2003 年 1 月

57. “EPRML 方式 HDD リードチャンネル LSI の開発” , NEC 技報 Vol. 52, No. 3, pp89-92, 1999 年 3 月
58. “EPRML 方式 HDD リードチャンネル LSI の開発” , NEC 技報 Vo. 51, No. 3, pp138-141, 1998 年 3 月
59. “6 ビット画像用 A/D コンバータ” , NEC 技報 Vol. 41, No. 14, pp212-214, 1988 年
60. “16 ビット D/A コンバータ” , NEC 技報 Vol. 40, No. 10, 176-179, 1987 年
61. “フロッピーディスク用 VF0” , NEC 技報 Vol. 39, No. 10, pp82-85, 1986 年
62. “LCD TV などのプログラマブル同期信号発生器” , NEC 技報 Vol. 39, No. 10, pp85-87, 1986 年
63. “8 ビット高速 CMOS A/D コンバータ” , NEC 技報 Vol. 39, No. 3, pp16-19, 1986 年
64. “8/4ch アナログマルチプレクサ” , NEC 技報 Vol. 39, No. 3, pp20-22, 1986 年
65. “A High-Speed CMOS 8-bit Flash A/D Converter IC” , NEC Research and Development, Vol. 78, pp91-96, 1986 年 7 月
66. “VTR 用低電圧リモコン・プリアンプと RF コンバータ” , NEC 技報 Vol. 38, No. 2, pp, 1985 年
67. “ワンチップ PIF-SIF リニア IC” , NEC 技報 Vol. 36, No. 8, pp142-146, 1983 年